

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09152464 A**

(43) Date of publication of application: **10.06.97**

(51) Int. Cl.

**G01R 31/26**  
**G01R 31/28**

(21) Application number: **07338193**

(71) Applicant: **NEC CORP**

(22) Date of filing: **30.11.95**

(72) Inventor: **TANIGUCHI YUKIHIRO**

(54) **APPARATUS AND METHOD FOR TESTING  
SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE**

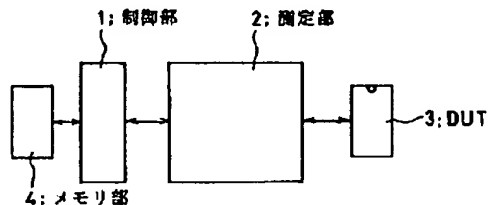
individually obtained for each DUT 3.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain an IC tester that can execute a binary search of values of devices to be tested (DUTs) even on the occasion of a simultaneous parallel measurement, by setting registers for storing values set in a search correspondingly to a count of the DUTs.

**SOLUTION:** A control part 1 controls a measuring part 2 in accordance with a test program stored in a memory part 4 to generate an electric signal and apply the signal to a DUT 3. The control part 1 compares the electric signal from the DUT 3 with an expectation value thereby judging whether the DUT 3 is good. Registers for storing a value set in a search when the DUT 3 passes and fails are installed correspondingly to a count of DUTs 3 to be measured in parallel. Therefore, a binary search is conducted in parallel to the DUTs 3. If different results that the DUTs are good and fail are generated among a plurality of DUTs 3 in the binary search, the binary search is sequentially conducted to each of the DUTs 3 and a pass/fail border value is



Express Mail #EL719795046 US

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-152464

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	G
31/28			31/28	H

審査請求 有 請求項の数 3 F D (全 13 頁)

(21) 出願番号 特願平7-338193

(22) 出願日 平成7年(1995)11月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 谷口 幸弘

東京都港区芝五丁目7番1号 日本電気株式会社内

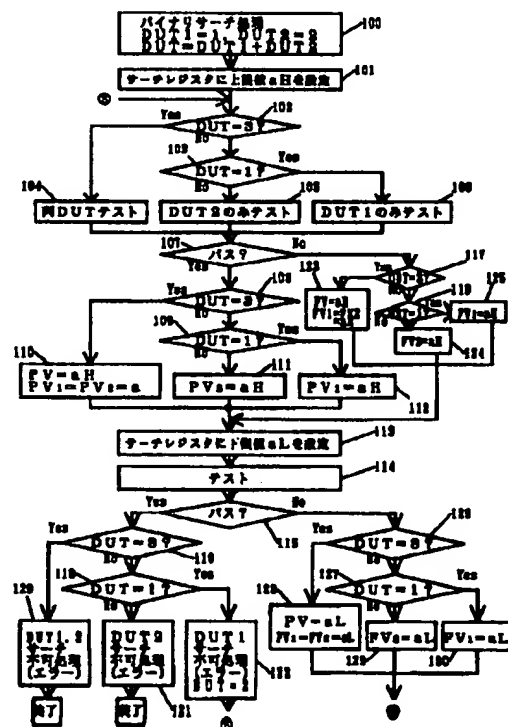
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体集積回路装置の試験装置及び試験方法

(57) 【要約】

【課題】 バイナリサーチ機能において、同時並列測定時でも各被試験デバイス (DUT) の値をサーチできる I C テスタの提供。

【解決手段】 各 DUT のバイナリサーチにおけるテスト結果を格納するレジスタと、直前のテスト結果バス及びフェイル時サーチで設定した値と格納するレジスタと、を、同時測定する DUT の数分備え、複数の DUT に対してバス/フェイル境界値を求めるバイナリサーチテストを、複数の DUT 間でバス/フェイル結果が相違するか又は所定の分解能に達するまで並列に行い、複数の DUT 間でバス/フェイル結果が相違した際に継続して DUT のそれぞれについて所定の分解能に達するまでバイナリサーチテストを個別に行う。



Express Mail #EL719795046US

## 【特許請求の範囲】

【請求項1】被試験半導体集積回路装置に対して所定のサーチ範囲から開始してパス/フェイルの境界を画する値をバイナリサーチ法に基づき反復的にテストして求める手段を備えると共に、

複数の被試験半導体集積回路装置を並列測定モードでテストする手段を具備してなる半導体集積回路装置の試験装置において、

パス及びフェイル時にサーチで設定した値を格納するレジスタを並列測定対象の前記被試験半導体集積回路装置の数に対応して備え、

前記複数の被試験半導体集積回路装置に対して並列してバイナリサーチを行い、この並列型バイナリサーチにおいて、前記複数の被試験半導体集積回路装置の間で互いに相違するパス/フェイル結果が発生した場合には、個々の被試験半導体集積回路装置に対してバイナリサーチを逐次的に行い各被試験半導体集積回路装置のパス/フェイル境界値を個別に求めるように制御することを特徴とする半導体集積回路装置の試験装置。

【請求項2】(a) 複数の被試験半導体集積回路装置に対してパス/フェイル境界値を求めるバイナリサーチテストを、前記複数の被試験半導体集積回路装置間でパス/フェイル結果が相違するか、又は予め定められた所定の分解能に達するまで並列に行う工程と、

(b) 前記工程(a)でパス/フェイル結果が相違した際に前記工程(a)に継続して前記被試験半導体集積回路装置のそれぞれについて予め定められた所定の分解能に達するまでバイナリサーチテストを個別に行う工程と、を含むことを特徴とする半導体集積回路装置の試験方法。

【請求項3】複数の被試験半導体集積回路装置に対応してそれぞれのバイナリサーチにおけるテスト結果を格納するレジスタと、

直前のテスト結果パス及びフェイル時サーチで設定した値を格納するレジスタと、を、同時測定対象の前記被試験半導体集積回路装置の数分備え、

同時並列測定時にバイナリサーチを行うように構成されてなることを特徴とする半導体集積回路装置の試験装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の電気的特性を試験する試験装置(Automatic Test Equipment; ATEあるいは「ICテスト」という)に関し、特に半導体集積回路装置の試験装置におけるバイナリサーチ処理方法に関する。

## 【0002】

【従来の技術】半導体集積回路装置(Integrated Circuits; 「IC」という)の電気的特性を試験する試験装

置(「ICテスト」、あるいはAutomatic Test Equipment; 「ATE」という)は、被試験デバイス(Device Under Test、 「DUT」ともいう)であるICへ電気信号を印加し、この電気信号に対する被試験デバイスからの応答出力をICテストの内部に格納された期待値あるいは規格データと比較することにより、被試験デバイスの電気的良・否(パス又はフェイル)の判定を行うものである。

【0003】図4は、ICテストの構成概略図を示し、図中、1は制御部、2は測定部、3はDUT、4はメモリ部である。

【0004】制御部1は、メモリ部4内に格納されたテストプログラムに従って測定部2を制御し、DUT3に対する電気信号を生成させ、この電気信号をDUT3に印加させる。また、制御部1はDUT3から電気信号をテストプログラム内にて定義された規格値又は期待値とを比較しDUT3の電気特性の良・否の判定を行う。

【0005】通常、ICテストの良否判定は、DUTの出力値と予め定められた規格値との大/小関係で一義的に行われることが多い。

【0006】しかし、DUTの出力値そのものを取り込む場合や、一回のテストでは良否判定ができず、複数回のテストでDUTの出力値を得る場合等においては、ICテストが有するバイナリサーチ機能が用いられる。このバイナリサーチ機能とは、逐次比較方式による値の検出(サーチ)方法である。ICテストで被試験デバイスの例えばAC試験等を行う際(伝搬遅延時間、信号の立ち上がり/立ち下がりエッジ、セットアップ/ホールド時間、パルス幅が規格値にあるか否かを試験する際に)、ICテストのファンクション試験において所定のテストサイクル中にて被試験デバイスの出力信号と期待値とを比較するコンパレータのストローブタイミングをバイナリサーチで順次振って、コンパレータの比較結果に基づきパス/フェイルの境界に対応するストローブタイミング(基準タイミングからの時間)から被試験デバイスの出力信号エッジのタイミングを導きこれを規格値と比較する。その際、テストプログラムでバイナリサーチするパラメータとバイナリサーチする範囲とを設定しICテストはそのテストプログラムに従って設定されたパラメータの値をサーチ範囲内で変化させながら試験し、サーチ範囲内に存在する試験のパス領域とフェイル領域の境界値を求める。

【0007】従来のバイナリサーチ法の一例として、特開平1-112176号公報(特願昭62-270010)には、範囲が広いバイナリサーチは試験回数の増大を招き、試験時間の長大化及び試験コストを増大するという問題を解消するため、テストプログラムに設定された冗長さの大きなバイナリサーチ範囲とは別に被試験ICのロット固有で適正なバイナリサーチ範囲を算出するようにしたICテストが提案されている。

【0008】図5は、ICテストのバイナリサーチ機能を用いて、DUTの出力波形の高レベル(Highレベル)幅を求める場合、サーチ範囲及び演算方法を説明するためのタイミングチャートである。なお、図5において、テストレートはICテストのテスト周波数を示し基準タイミング信号T<sub>0</sub>で定められ、入力クロックはDUTへの入力信号波形、出力波形はDUTからの出力波形、期待値は予めテストボタン(テストベクトル)に定義されたDUTの期待値、STBは出力波形の電位と期待値とをコンパレータで比較するタイミングを規定するストロブ信号を示している。

【0009】まず、ボタンa内でDUTの出力波形が低レベル(Lowレベル)から高レベル(Highレベル)に立ち上がるタイミングAをサーチ範囲a<sub>L</sub>、a<sub>H</sub>内で求め、基準タイミングT<sub>0</sub>に対して時間d<sub>a</sub>を得たとする。

【0010】次に、ボタンb内でDUT出力波形が高レベル(Highレベル)から低レベル(Lowレベル)に立ち下がるタイミングBをサーチ範囲a<sub>L</sub>、a<sub>H</sub>内で求め、同様に時間d<sub>b</sub>を得たとする。

【0011】この場合、求めるDUTの出力波形のHighレベル幅は、 $(R - d_a + d_b)$ で求まる。このRは、テストレート時間(基準タイミングT<sub>0</sub>で規定されるテスト周期)を意味している。

【0012】実際のバイナリサーチの処理を、図6及び図7のフローチャートを参照して以下に説明する。このバイナリサーチによる値の検出(サーチ)は、テストプログラム内に定義されたサーチ範囲内に求めるべき値が存在し、且つこれら範囲の上限と下限はテスト結果として相反することが前提とされている(上限でパスの場合下限ではフェイルという具合に上下限でテスト結果が反転することが必要)。

【0013】図6に示すように、サーチレジスタにサーチ範囲の上限値a<sub>H</sub>を設定し(ステップ601)、テストを行い(ステップ602)、DUTの出力が期待値と一致した場合パスとなり、パスの値を格納するレジスタPVに上限値a<sub>H</sub>を設定し(ステップ604)、フェイルであれば、フェイルの値を格納するレジスタFVにa<sub>H</sub>を設定し(ステップ605)、次にサーチレジスタに下限値a<sub>L</sub>を設定して再びテストを行い(ステップ606~607)、テスト結果がパスの場合、サーチ不可能であるとしてサーチ不可処理(すなわち、設定された上限、下限で共にパスしており、テスト結果が上限下限で反転していず、このサーチ範囲内にはパス/フェイル境界値がない)を行って(ステップ609)終了し、フェイルであれば、フェイル値(フェイルの境界)をFV=a<sub>L</sub>とする(ステップ610)。

【0014】そして、このパス値とフェイル値PV、FVの差の絶対値( $=|PV - FV|$ )が予め定められた所定の分解能RE以下である場合には、最小分解能に到

達したため、パス/フェイル境界値が求められたことに相当し、パス/フェイルの境界値であるサーチ結果を、上限値のPVとする(ステップ612)。

【0015】一方、 $|PV - FV|$ が分解能REより大であれば、図7に示すように、上限PVと下限FVとの中間値aを新たにサーチレジスタに設定してテストを行い(ステップ701~703)、パス/フェイルに応じて、テスト結果を格納するレジスタRTを「P」、「F」とする(ステップ705、706)。

【0016】そして、PVとaの差の絶対値( $=|PV - a|$ )が分解能RE以下の時において、テスト結果を格納するレジスタRTがパス(「P」)を示している場合、サーチ結果をaとし(ステップ710)、フェイルの場合、サーチ結果をPVとする(ステップ711)。

【0017】 $|PV - a|$ が分解能REよりも大の時には、テスト結果がパスの場合、パス境界を直前のテストにおいてサーチレジスタに設定された値aをパス値のレジスタに設定し(PV=a)、aとFVの中間値を新たにaとして(ステップ713)、このaをサーチレジスタに設定してサーチを繰り返す(図7のステップ702へ移行する)。テスト結果がフェイルの場合、フェイル値のレジスタFVにaを設定し、aとPVの中間値を新たにaとして(ステップ712)、このaをサーチレジスタに設定してサーチを繰り返す。

【0018】このバイナリサーチ機能は、先に逐次比較方式と述べたように、逐次比較方式のアナログ・ディジタル変換器(AD変換器)と同様に、検出値を求める場合、上位のビットより決定していき、最小分解能すなわち最小ビットに至るまで決定された時点でサーチを終了するものである。

【0019】このため、サーチの回数は、サーチ範囲内の求めるべき値をディジタルで表した際、既にサーチ範囲で決まった上位ビットを除く下位ビットの桁数分とされる。

【0020】一方、ICテストは、テスト時間短縮すなわちテストコストを低減させるべく一台のICテストで同時に複数個の被試験ICの試験を行う並列機能を具備している。

【0021】いま、並列数を2ヶと仮定した場合、図8に示すように、2つの被試験デバイスDUT1、2の各々の出力波形により、Highレベル幅W<sub>1</sub>及びW<sub>2</sub>を求める場合は、図9に流れ図で示すように、まず、テストプログラム内あるいはICテストのシステム内の制御部の認識により、並列測定モードを解除して、1ヶ測定モードを指定する(ステップ901)。この1ヶ測定モード(シングルモード)とは、先ずDUT1についてテストし、テスト終了後、次にDUT2についてテストするモードである。

【0022】従って、先ず、DUT1に対し、バイナリサーチ機能によりd<sub>a1</sub>、d<sub>b1</sub>を求め、Highレベル幅

$W_1$ を演算( $W_1=R-da_1+db_1$ )で求める(ステップ902~904)。次に、DUT2に対し、同様にしてバイナリサーチで $da_2$ 、 $db_2$ を求め、Highレベル幅 $W_2$ を演算( $W_2=R-da_2+db_2$ )で求めていた(ステップ905~907)。そして1ヶ測定モードの後に並列測定モードの指定が行われる(ステップ909)。

#### 【0023】

【発明が解決しようとする課題】このように、従来のICテストのバイナリサーチ機能は、並列測定機能と同時に用いると、各DUTの値を個別に求めることができず、並列測定時においてもバイナリサーチによるテスト実行時にシングルモードに設定し直すことが必要とされ、このためテスト回数及びテスト時間が増大するという問題点を有する。

【0024】図10を参照して、この理由を詳細に説明する。

【0025】ICテストで2ヶの被試験デバイスを並列測定する際においてバイナリサーチ機能を用いた場合、バイナリサーチ機能は期待値との比較で求めるべき値をサーチするので、両DUT1、2の判定値が一致する部分、図中では $A_2$ と $B_1$ のタイミングとなる(図10のDUT1&2のサーチ結果と等価波形参照)。

【0026】これはタイミング $A_2$ に関してはDUT2の出力波形立ち上がりのタイミングであり、タイミング $B_1$ に関してはDUT1の立ち下がりのタイミングとされるという具合に二つのDUTについて混在したタイミングとされ、各々のDUT1、DUT2の立ち上がり/立ち下がりのタイミングを求めることができないことによる。

【0027】これは従来のICテストが並列測定対応のバイナリサーチ機能を有していないことによる。

【0028】ここで、テストレートを $1\mu s$ 、実行パターン数(テストベクトル長)を1000、ICテストがシステムを走行させたり、次のバイナリサーチ処理を実行するために必要とされる演算時間を $10ms$ 、バイナリサーチで求める値の下位8ビットを決定する場合、( $1\mu s/\text{パターン} \times 1000 \text{ パターン} + 10ms$ )  $\times 8 \times 2$  DUT =  $176ms$ (ミリ秒)を要し、このため完全に並列テストができたかと仮定した場合、 $88ms$ 程テスト時間の長大化を招くという問題点を有する。

【0029】本発明は、上記問題点に鑑みてなされたものであって、同時並列測定時でも各DUTの値をバイナリサーチできるようにしたICテストを提供することを目的とする。

#### 【0030】

【課題を解決するための手段】前記目的を達成するため、本発明は、(a)複数の被試験半導体集積回路装置に対してバス/フェイル境界値を求めるバイナリサーチテストを、前記複数の被試験半導体集積回路装置間でバ

ス/フェイル結果が相違するか、又は所定の分解能に達するまで並列に行う工程と、(b)前記工程(a)でバス/フェイル結果が相違した際に前記工程(a)に継続して前記被試験半導体集積回路装置のそれぞれについて所定の分解能に達するまでバイナリサーチテストを個別に行う工程と、を含むことを特徴とする半導体集積回路装置の試験方法を提供する。

【0031】また、本発明は、被試験半導体集積回路装置に対して所定のサーチ範囲から開始してバス/フェイルの境界を画する値をバイナリサーチ法に基づき反復的にテストして求める手段を備えると共に、複数の被試験半導体集積回路装置を並列測定モードでテストする手段を具備してなる半導体集積回路装置の試験装置において、バス及びフェイル時にサーチで設定した値を格納するレジスタを並列測定対象の前記被試験半導体集積回路装置の数に対応して備え、前記複数の被試験半導体集積回路装置に対して並列してバイナリサーチを行い、この並列型バイナリサーチにおいて、前記複数の被試験半導体集積回路装置の間で互いに相違するバス/フェイル結果が発生した場合には、個々の被試験半導体集積回路装置に対してバイナリサーチを逐次的に行い各被試験半導体集積回路装置のバス/フェイル境界値を個別に求めるようにしたことを特徴とする半導体集積回路装置の試験装置を提供する。

【0032】本発明に係る半導体集積回路装置の試験装置は、各DUT毎にバイナリサーチで要するレジスタ、すなわち直前のテスト結果、直前のバス時及びフェイル時サーチで設定した値を格納するレジスタを有し、各DUTのサーチ結果が一致する迄、並列同時測定を行い、サーチ結果が一致しない時、各々のDUT毎に、好ましくは、並列テスト実行時のサーチ範囲に基づきバイナリサーチを行い、バス/フェイル境界値を求めるように構成されたバイナリサーチ機能を具備したものである。

#### 【0033】

【発明の実施の形態】本発明の実施の形態を図面を参照して以下に説明する。なお、本実施形態に係るICテストの基本構成は図4に示すものとし、複数の被試験デバイス(「DUT」という)を同時に並列測定する機能を具備しているものとする。

【0034】図1ないし図3は、本発明の一実施形態に係るバイナリサーチ機能の処理フローを示した流れ図である。なお、基本的なバイナリサーチ機能は従来のICテストのバイナリサーチ機能と同等である。すなわち、ICテスト内部の制御部サーチ範囲 $a_H$ 、 $a_L$ よりテストを実行し、それ等のテスト結果に基づいて、次にテストする場合に用いる値を演算しサーチレジスタに設定し、テストを実行していく。これら処理をレジスタの最小ビットすなわち所定の分解能まで求めるものであり、処理の流れの概略は図6及び図7で説明したものと同様である。

【0035】本発明の実施形態が、図6及び図7に示した従来例と相違する点は、並列測定時において各DUT毎に直前のテスト結果、直前のバス時及びフェイル時のサーチで用いる値を格納するレジスタを有し、ICテスト内部の制御部が各処理毎にどのDUTに対して処理しているかを判別するためのレジスタを備えた点である。

【0036】本実施形態に係るICテストのバイナリサーチの方法を説明すると、制御部は、並列テスト対象の複数のDUTの各々に対して同時バイナリサーチを開始する。

【0037】複数のDUTに対するバイナリサーチのサーチ方法は、それぞれ図6及び図7の従来例と同様である。

【0038】制御部は複数のDUTについて各DUTのサーチ時のテスト結果が一致するところまで、見かけ上、複数のDUTを1つのDUTと見なし、サーチを実行する（この場合、処理フローは図6及び図7の流れ図に従う）。

【0039】サーチ時のテスト結果が複数のDUTで互いに一致しない場合（一致しなくなったサーチ範囲において）、各DUTのテスト結果レジスタへテスト結果をそれぞれ格納し、直前のバス、フェイル時のサーチで設定した値をレジスタに格納し、待避する。

【0040】以降、制御部は、複数のDUTの同時測定におけるバイナリサーチで既に得られているサーチ範囲等の情報に基づき各DUT毎にバイナリサーチを個別（逐次的）に実行する。

【0041】その際、個々のDUTのバイナリサーチ処理の再開にあたっては、レジスタに格納、待避した情報、すなわち直前のバス、フェイル時のサーチ時に設定した値や、テスト結果を用いて、同時測定での各DUTのサーチ処理で不一致の部分（求める値の下位側ビット）のみをサーチを実行する。

【0042】図1ないし図3を参照して、本実施形態の制御部におけるバイナリサーチの処理フローを説明する。

【0043】同時測定のDUTの数を2とした場合、初期設定として、DUT1、DUT2を識別する符号を割り振り（例えばDUT1は「1」、DUT2は「2」）、並列同時テストを意味するために両DUTには「3」（＝DUT1+DUT2）を設定しておく（ステップ100）。

【0044】そして、サーチレジスタに上限値aHを設定し（ステップ101）、テストが1ヶのDUTの個別測定か、両DUTの同時測定かを判別し（ステップ102～103）、両DUTテスト、又は個別のテストを行う（ステップ104～106）。

【0045】そして、テスト結果がバスの場合の上限値の処理として、両DUTテストの場合、バス値格納レジスタPV、PV1、PV2にaHと設定し（ステップ1

10）、個別のDUTのテストの場合、対応するバス値格納レジスタPVi（ $i=1, 2$ ）に上限値aHを設定する（ステップ111、112）。

【0046】また、テスト結果がフェイルの場合、両DUTテストの場合にはフェイル値格納レジスタFV、FV1、FV2にaHを設定し（ステップ123）、個別のDUTのテストの場合には対応するフェイル値格納レジスタFVi（ $i=1, 2$ ）にaHを設定する（ステップ124、125）。

【0047】次に、サーチレジスタに下限値aLを設定し（ステップ113）、テスト（ステップ114）を行いテスト結果がバスであった場合サーチ不可処理に対応して、両DUTの並列測定の場合にはこれらがサーチ不可であるとの処理を行い（ステップ120）終了し、DUT1、DUT2の個々の測定の場合、DUT1の場合にはサーチ不可処理を行いDUTをDUT2に切換え（ステップ122）、ステップ102へ移行してDUT2のテストを行う。サーチ不可がDUT2の場合エラー処理を行い（ステップ121）終了する。

【0048】ステップ114のテスト結果がフェイルの際に、両DUTテストの場合、フェイル値格納レジスタFV、FV1、FV2にaLを設定し（ステップ128）、個別のDUTのテストの場合、対応するフェイル値格納レジスタFVi（ $i=1, 2$ ）にaHを設定する（ステップ130、129）。

【0049】そして、図2に示すように、個別のDUTテストの場合、サーチ範囲の情報であるバス/フェイル値格納レジスタを待避用レジスタに格納待避する。すなわち、DUT1の場合、 $pV1=PV1$ 、 $fV1=FV1$ （ステップ204）、DUT2の場合、 $pV2=PV2$ 、 $fV2=FV2$ とサーチ情報を待避する（ステップ203）。

【0050】分解能REが $|PV-FV|$ 以上の場合には、バス/フェイル境界値として、両DUTテストの時にはサーチ結果をDUT1、DUT2共にPVとし（ステップ210）、DUT1の時はPVとし（ステップ213）、DUT2のテストに移行し（ステップ214）、DUT2の場合サーチ結果をPVとして（ステップ211）、終了する。

【0051】分解能REが $|PV-FV|$ よりも小の場合には、両DUTテストの時には中間値を $a=(PV+FV)/2$ （ステップ216）、DUT1の場合、 $a=(PV1+FV1)/2$ （ステップ215）、DUT2の場合、 $a=(PV2+FV2)/2$ とする（ステップ212）。

【0052】そして、中間値aをサーチレジスタに設定して（ステップ217）、テストを行い（ステップ218）、図3に示すように、テスト結果がフェイルの場合、レジスタRTを「F」とした（ステップ302）後に、両DUTテスト、個々のDUTに応じてPVを設定

し(ステップ305、307、308)する。

【0053】次に、 $|PV-a|$ が分解能RE以下の時、テスト結果がパスの場合、 $PV=a$ に設定し(ステップ315)、両DUTテストの場合、サーチ結果としてPV(ステップ321)、個々のDUT1、DUT2のテストの場合には $PVi$  ( $i=1, 2$ )をサーチ結果とし(ステップ320、319)、DUT1の場合、DUT2のテストに移行する(図1のターミナル⑤に移行)。

【0054】そして、テストの結果がフェイルの場合(レジスタRTが「F」)、両DUTテストの場合、パス値格納レジスタPVに中間値 $a$ を設定すると共に、中間値を $(a+FV)/2$ とし(ステップ325)、個々のDUT1、DUT2のテストの場合には $PVi=a$ 、 $a=(a+FVi)/2$  ( $i=1, 2$ )とする(ステップ328、327)。また、パスの場合、両DUTテストの場合、フェイル値格納レジスタFVに中間値 $a$ を設定すると共に、中間値を $(a+PV)/2$ とし(ステップ318)、個々のDUT1、DUT2のテストの場合には個々のフェイル値格納レジスタ $FVi=a$ 、 $a=(a+PVi)/2$  ( $i=1, 2$ )とし(ステップ317、322)、サーチレジスタに $a$ を設定してテストを行う(図2のステップ217に移行)。

【0055】本実施形態では、同時測定のDUTの数を2とした場合であるが、同時測定のDUTの数はこれ以上でも、各レジスタ数を並列数と対応させることにより対応できる。

【0056】このように、本実施形態のICテストのバイナリサーチ機能は、各DUT毎にバイナリサーチで要するレジスタ、すなわち直前のテスト結果、直前のパス、フェイル時、サーチで設定した値を格納するレジスタを有し、各DUTのサーチ結果が一致する間は同時並列測定を実行し、不一致の部分より各DUT毎にサーチを実行するように構成したことにより、並列測定時にバイナリサーチ機能を用いるテストにおいて、例えば前述の条件で、不一致部分が3ビット相当であれば、 $(1\mu s/\text{ボタン} \times 1000\text{ボタン} + 10ms) \times (8-3) \times 2\text{DUT} = 121ms$ (ミリ秒)とされ、前記従来例の実行時間176msと比較して55msも短縮でき

る。なお、本発明に係る試験装置及び試験方法は、LSIテスト、メモリテスト、リニアテスト、アナログディジタル混在型テスト等に適用可能である。

【0057】

【発明の効果】以上説明したように、本発明のICテストのバイナリサーチ機能は、各DUT毎にバイナリサーチで要するレジスタ、すなわち直前のテスト結果、直前のパス、フェイル時、サーチで設定した値を格納するレジスタを有し、各DUTのサーチ結果が一致するまで、同時測定を実行し、不一致の部分より各DUT毎にサーチを実行する処理を有するICテストにより、並列測定時にバイナリサーチ機能を用いるテストにおいてテスト時間の大幅な短縮を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るICテストのバイナリサーチの処理の流れを説明するための図である。

【図2】本発明の一実施形態に係るICテストのバイナリサーチの処理の流れを説明するための図である。

【図3】本発明の一実施形態に係るICテストのバイナリサーチの処理の流れを説明するための図である。

【図4】一般的なICテストの構成を示す図である。

【図5】バイナリサーチによるDUT出力波形の高レベル部分Wを求める場合のサーチ範囲演算方法について説明するための図である。

【図6】従来のバイナリサーチ処理を示す図である。

【図7】従来のバイナリサーチ処理を示す図である。

【図8】同時並列数2ヶの場合、各DUT出力波形を示す図である。

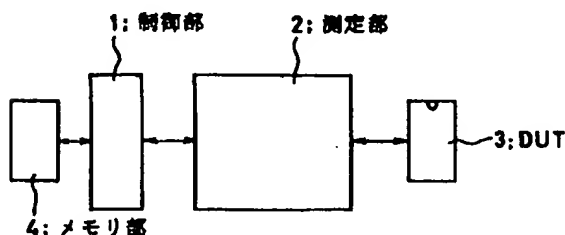
【図9】従来のバイナリサーチ機能を用いて、並列測定時の対処フローを示す図である。

【図10】従来のバイナリサーチ機能を用いて、同時並列測定を行った場合の問題点を説明するための図である。

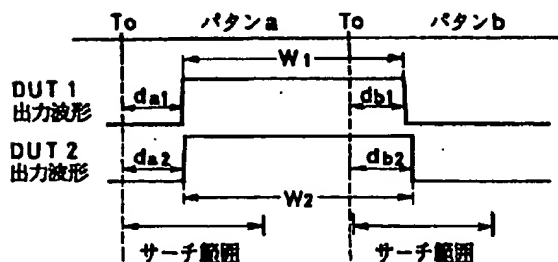
【符号の説明】

- 1 制御部
- 2 測定部
- 3 DUT (被測定デバイス)
- 4 メモリ部

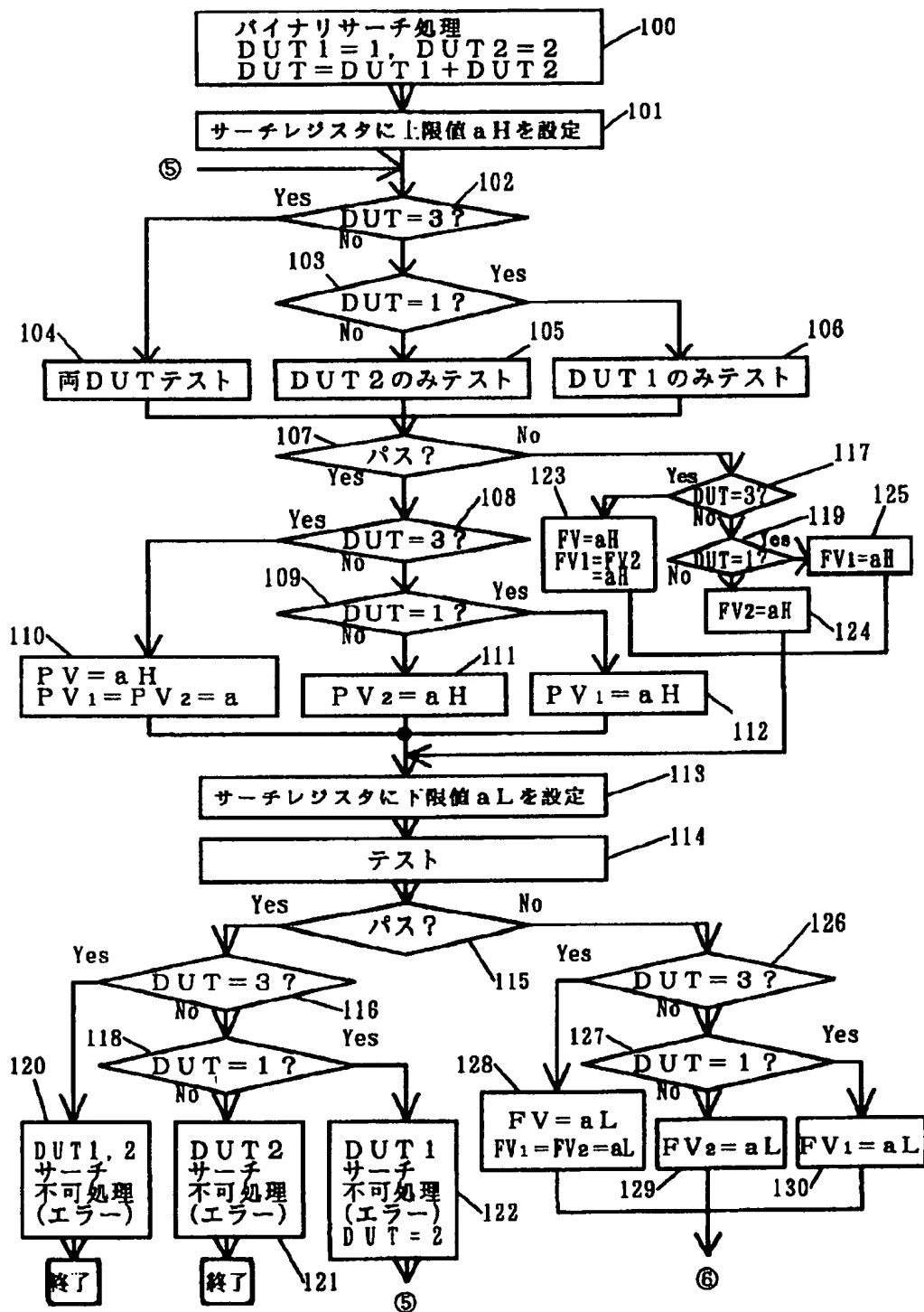
【図4】



【図8】

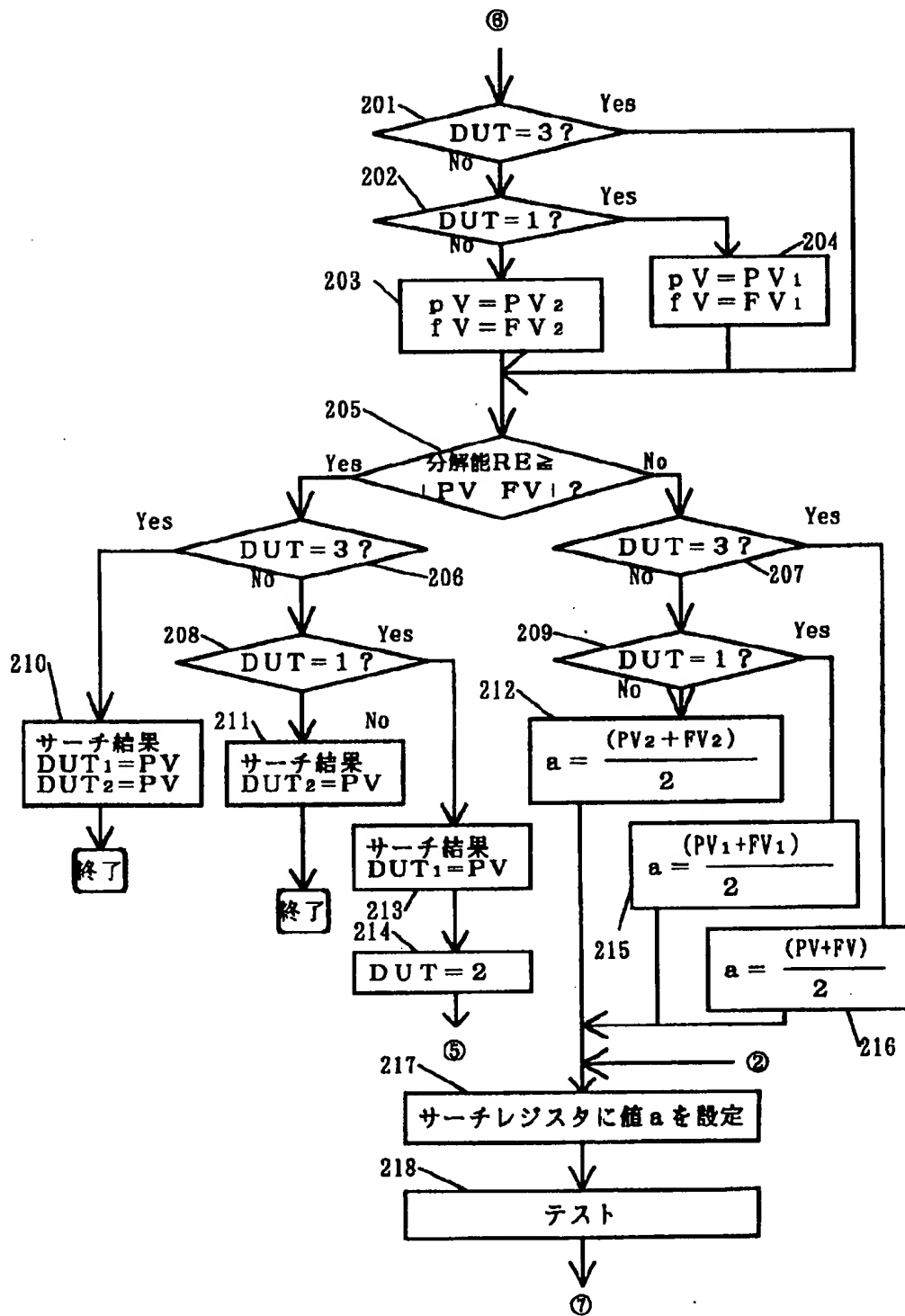


【図1】

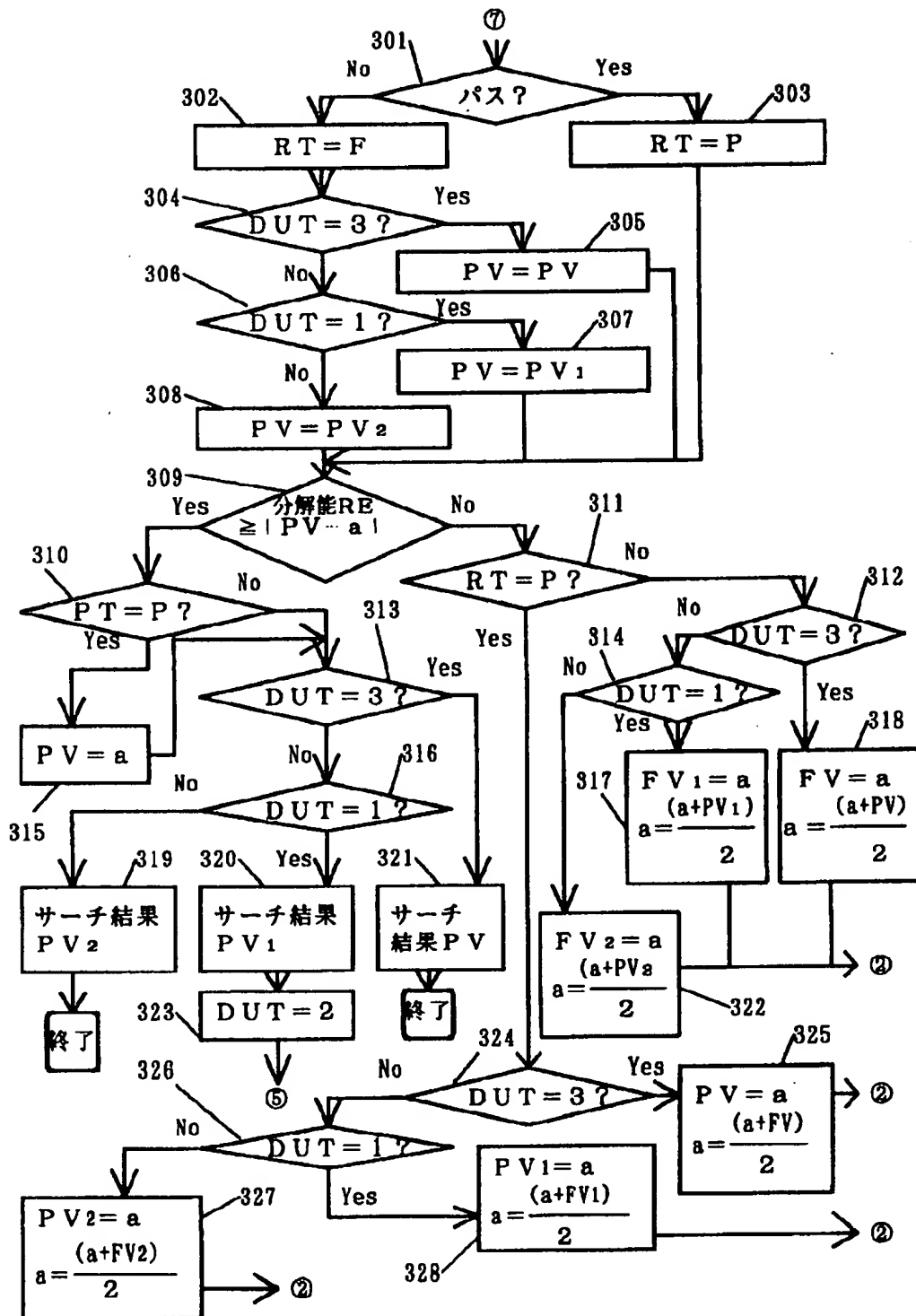




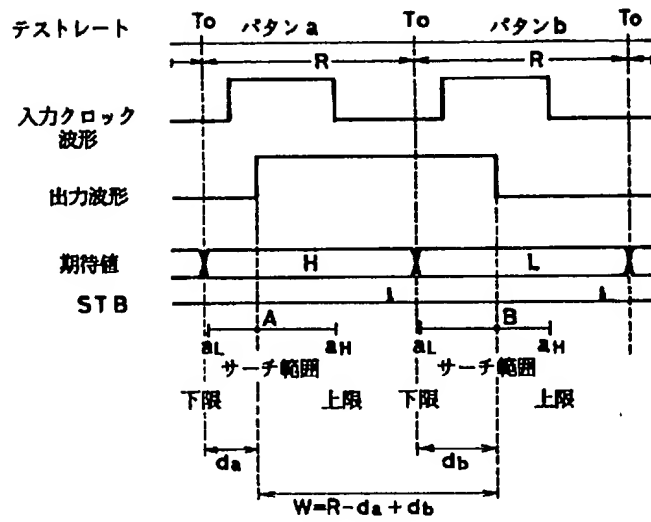
【図2】



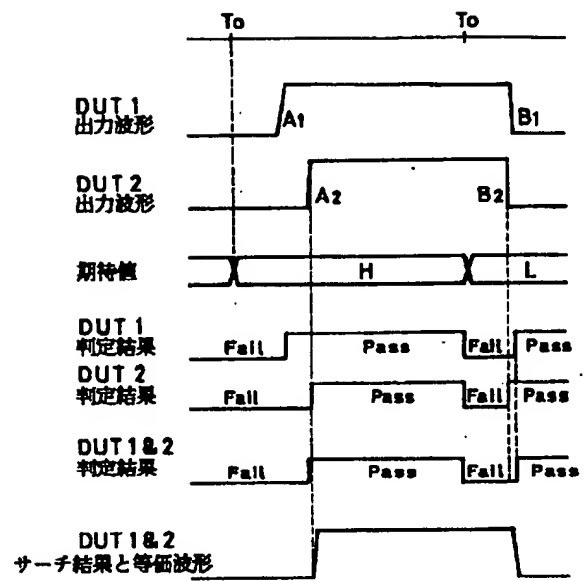
【図3】



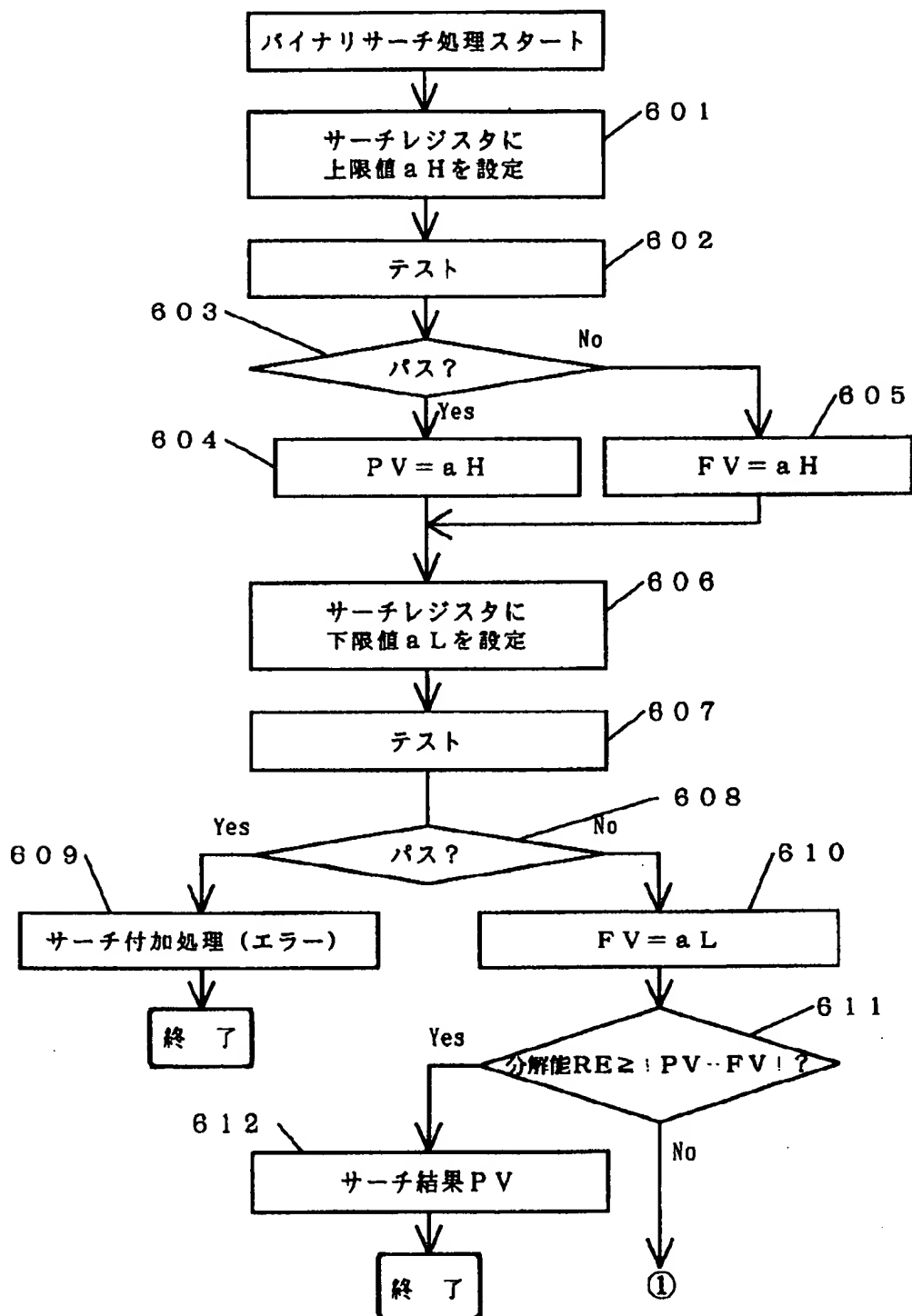
【図5】



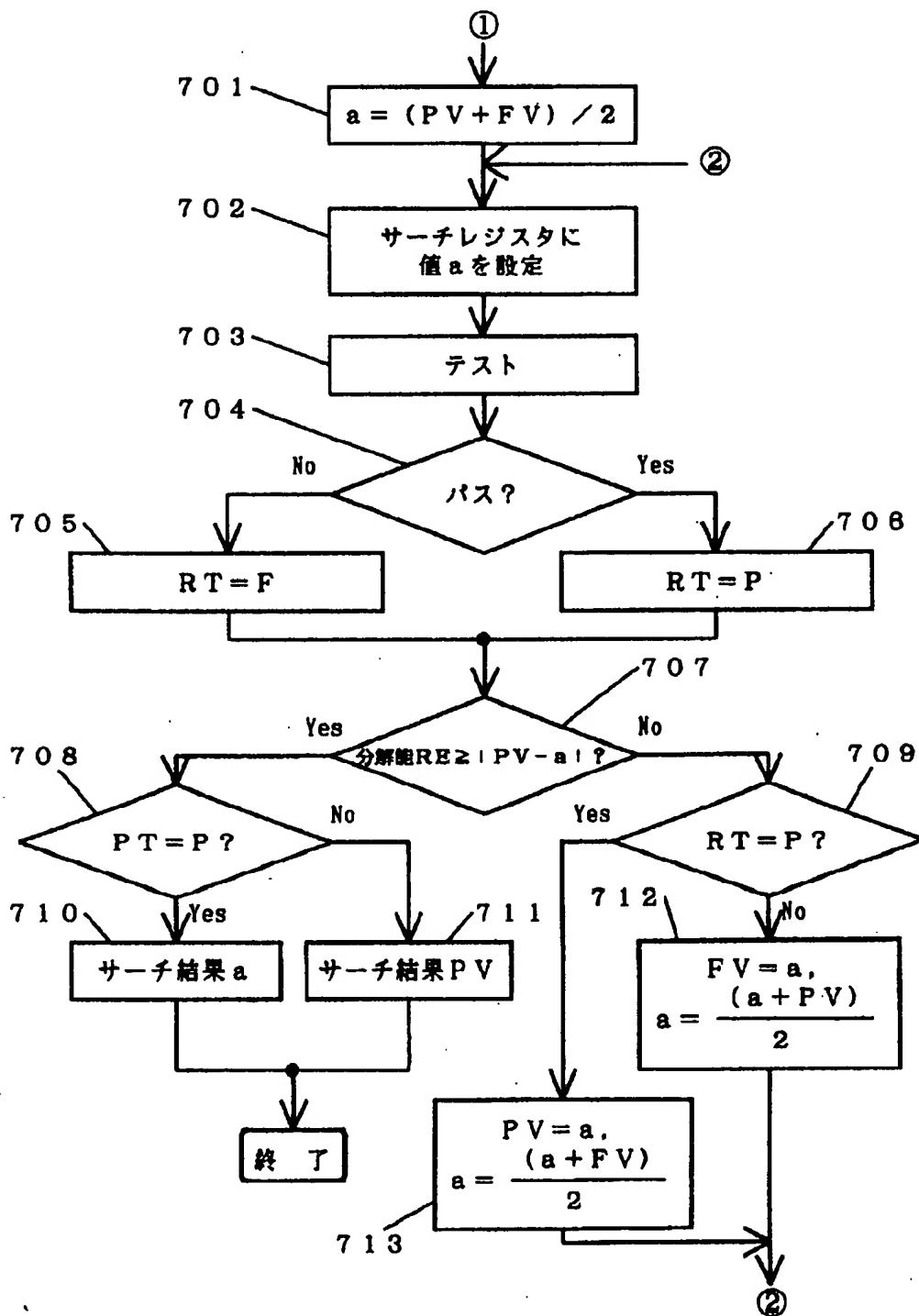
【図10】



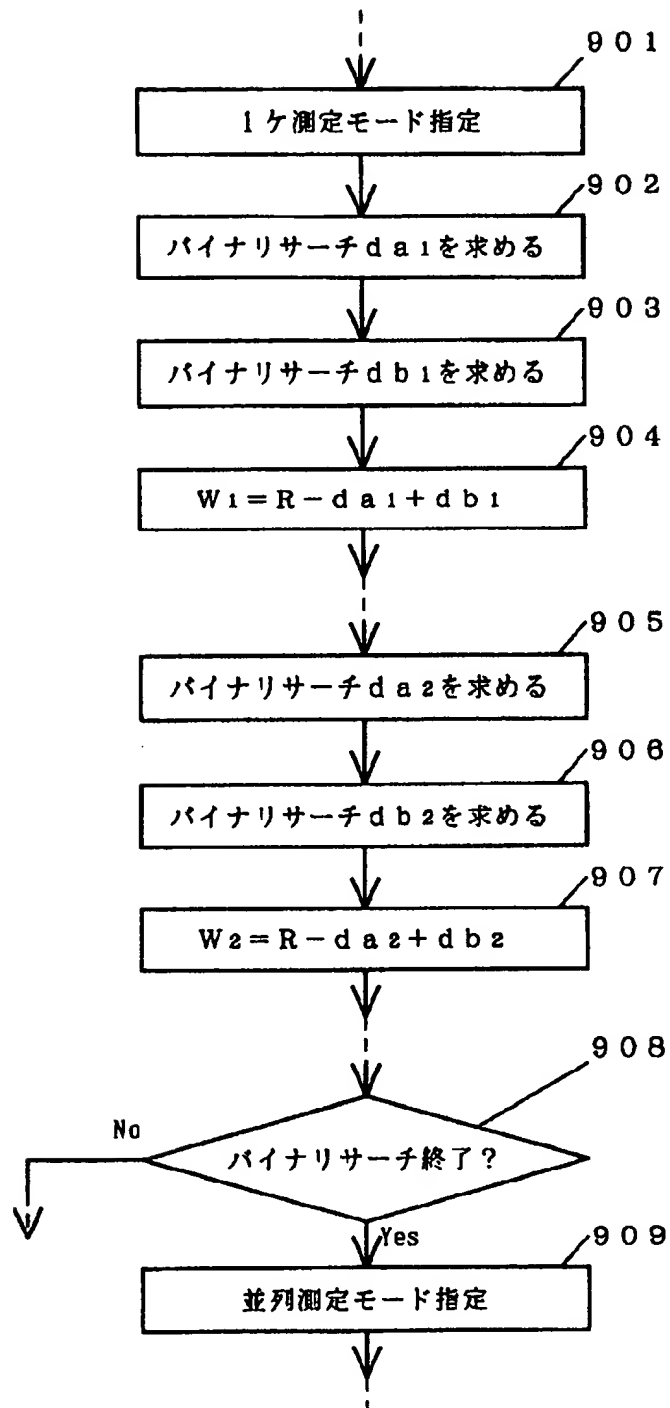
【図6】



【図7】



【図9】



## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-152464  
 (43) Date of publication of application : 10.06.1997

(51) Int. Cl. G01R 31/26  
 G01R 31/28

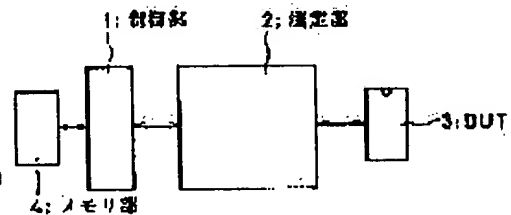
(21) Application number : 07-338193 (71) Applicant : NEC CORP  
 (22) Date of filing : 30.11.1995 (72) Inventor : TANIGUCHI YUKIHIRO

## (54) APPARATUS AND METHOD FOR TESTING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57) Abstract:

PROBLEM TO BE SOLVED: To obtain an IC tester that can execute a binary search of values of devices to be tested (DUTs) even on the occasion of a simultaneous parallel measurement, by setting registers for storing values set in a search correspondingly to a count of the DUTs.

SOLUTION: A control part 1 controls a measuring part 2 in accordance with a test program stored in a memory part 4 to generate an electric signal and apply the signal to a DUT 3. The control part 1 compares the electric signal from the DUT 3 with an expectation value thereby judging whether the DUT 3 is good. Registers for storing a value set in a search when the DUT 3 passes and fails are installed correspondingly to a count of DUTs 3 to be measured in parallel. Therefore, a binary search is conducted in parallel to the DUTs 3. If different results that the DUTs are good and fail are generated among a plurality of DUTs 3 in the binary search, the binary search is sequentially conducted to each of the DUTs 3 and a pass/fail border value is individually obtained for each DUT 3.



## LEGAL STATUS

[Date of request for examination] 30.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2760334

[Date of registration] 20.03.1998

3/13/01

Express Mail # EL719795046US

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japanese Patent Office



## \* NOTICES \*

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] While it has a means to test repetitively the value which begins from a predetermined search domain to examined semiconductor integrated circuit equipment, and demarcates the boundary of a pass/fail, and to calculate it based on the binary search method In the testing device of semiconductor integrated circuit equipment which comes to provide a means to test two or more examined semiconductor integrated circuit equipments in the parallel measurement mode Corresponding to the number of the above-mentioned examined semiconductor integrated circuit equipments of the parallel measuring object, it has the register which stores the value set up by the search at the time of a pass and a fail. Stand in a row to two or more above-mentioned examined semiconductor integrated circuit equipments, perform binary search, and it sets to this parallel-connected-type binary search. When the pass / fail result which is mutually different among two or more above-mentioned examined semiconductor integrated circuit equipments occur The testing device of the semiconductor integrated circuit equipment characterized by controlling to perform binary search sequentially to each examined semiconductor integrated circuit equipment, and to calculate individually the pass / fail boundary value of each \*\*\*\*\* semiconductor integrated circuit equipment.

[Claim 2] (a) The binary search test which calculates a pass / fail boundary value from two or more examined semiconductor integrated circuit equipments The process performed to a parallel until it reaches the predetermined resolution which a pass / fail result is different among two or more above-mentioned examined semiconductor integrated circuit equipments, or was defined beforehand, (b) The process which performs a binary search test individually until it reaches the predetermined resolution which continues at the above-mentioned process (a) and was beforehand defined about each of the above-mentioned examined semiconductor integrated circuit equipment, when a pass / fail result is different at the above-mentioned process (a), \*\*\*\*\* -- the test method of the semiconductor integrated circuit equipment characterized by things

[Claim 3] The testing device of the semiconductor integrated circuit equipment characterized by being constituted and becoming so that it may have the register which stores the test result in each binary search corresponding to two or more examined semiconductor integrated circuit equipments, and the register which stores the value set up by the search at the time of the last test-result pass and a fail several minutes of the above-mentioned examined semiconductor integrated circuit equipment for simultaneous measurement and binary search may be performed at the time of simultaneous parallel measurement.

---

[Translation done.]

3/13/01

*Express Mail #EL719795046 US*

## \* NOTICES \*

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the binary search art especially in the testing device of semiconductor integrated circuit equipment about the testing device (it is called Automatic Test Equipment; ATE or "IC circuit tester") which examines the electrical property of semiconductor integrated circuit equipment.

[0002]

[Description of the Prior Art] the testing device ("IC circuit tester" --) which examines the electrical property of semiconductor integrated circuit equipment (it is called Integrated Circuits; "IC") or -- Automatic Test Equipment; "ATE" -- saying -- An electrical signal is impressed to IC which is an examined device (it is called Device Under Test and "DUT"). By comparing with the expected value or specification data in which the responded output from the examined device to this electrical signal was stored inside IC circuit tester, electric good and no of an examined device (a pass or fail) are judged.

[0003] Drawing 4 shows the configuration schematic diagram of IC circuit tester, and, for one, as for a test section and 3, a control section and 2 are [ DUT and 4 ] the memory sections among drawing.

[0004] A control section 1 controls a test section 2 according to the test program stored in the memory section 4, makes the electrical signal over DUT3 generate, and makes this electrical signal impress to DUT3. Moreover, a control section 1 compares the specification value or expected value defined within the test program in the electrical signal from DUT3, and judges good and no of the electrical property of DUT3.

[0005] Usually, a quality judging of IC circuit tester is uniquely performed in many cases by the size / small relation with the specification value beforehand determined as the output value of DUT.

[0006] However, when incorporating the output value of DUT itself, or when it cannot perform a quality judging by one test but it obtains the output value of DUT by the test of multiple times, the binary search function which IC circuit tester has is used. This binary search function is the detection (search) technique of the value by the successive approximation method. the time (a propagation delay time --) of performing for example, AC examination of an examined device etc. by IC circuit tester The standup/falling edge of a signal, a setup/hold time, In case it examines whether pulse width is in a specification value, the strobe timing of the comparator which compares the output signal and expected value of an examined device with a function examination of IC circuit tester in a predetermined test cycle is shaken one by one by binary search. Based on the comparison result of a comparator, the timing of the output signal edge of an examined device is drawn from the strobe timing (time from criteria timing) corresponding to the boundary of a pass/fail, and this is compared with a specification value. The domain which carries out binary search to the parameter which carries out binary search by the test program in that case is set up, the value of the parameter with which IC circuit tester was set up according to the test program is examined, being search within the limits and making it change, and the boundary value of an experimental pass field and a fail field which exists in search within the limits is calculated.

[0007] As an example of the conventional binary search method, the binary search with a domain wide to JP, 1-112176, A (Japanese Patent Application No. 62-270010) causes increase of the number

of times of an examination, and in order to solve the problem increase huge-izing and the examination cost of test time, IC circuit tester which computed the binary search domain peculiar to the lot of examined IC and proper apart from the binary search domain with the big redundancy set as the test program is proposed.

[0008] Drawing 5 is a timing chart for explaining a search domain and the operation technique, when asking for the high-level (High level) width of face of the output wave of DUT using the binary search function of IC circuit tester. In addition, in drawing 5, a test rate shows the test frequency of IC circuit tester, and is defined by the criteria timing signal T0, and the expected value of DUT by which the input signal wave to DUT and the output wave were defined as the output wave from DUT, and expected value was beforehand defined for the input clock as the test pattern (test vector), and STB show the strobe signal which specifies the timing which compares the potential and expected value of an output wave with a comparator.

[0009] First, timing A by which the output wave of DUT starts from a low (Low level) to a high level (High level) within pattern a is calculated within the search domain aL and aH, and suppose that time da was obtained to the criteria timing T0.

[0010] Next, timing B by which DUT output wave falls from a high level (High level) to a low (Low level) within pattern b is calculated within the search domain aL and aH, and suppose that time db was obtained similarly.

[0011] In this case, High level width of face of the output wave of DUT to calculate can be found by  $(R \cdot da + db)$ . This R means test-rate time (test period specified to the criteria timing T0).

[0012] Actual processing of binary search is explained below with reference to the flow chart of the drawing 6 and the drawing 7. The value which should ask for a detection (search) of the value by this binary search search within the limits defined in the test program exists, and let it be a premise that the upper limit and lower limit of these domains conflict as a test result (it is required for a test result to be reversed in the condition of [ the case of a pass ] a fail at a lower limit with an upper limit at a bound).

[0013] As shown in drawing 6, the upper limit aH of a search domain is set as a search register (step 601). When it tests (step 602) and the output of DUT is in agreement with expected value, become a pass, set a upper limit aH as the register PV which stores the value of a pass (step 604), and if it is a fail aH is set as the register FV which stores the value of a fail (step 605). Next, set a lower limit aL as a search register, and it tests again (steps 606-607). It is search improper processing () noting that it cannot search, when a test result is a pass. that is, it has passed at both the upper limits and lower limits that were set up, and a test result is reversed at an upper limit lower limit -- \*\*\*\* -- this search within the limits -- a pass / fail boundary value -- there is nothing -- it carrying out and ending (step 609), and, if it is a fail A fail value (boundary of a fail) is set to  $FV = aL$  (step 610).

[0014] And since the minimum resolution was reached when the absolute value  $(=|PV - FV|)$  of the difference of this pass value and the fail values PV and FV was below the predetermined resolution RE defined beforehand, it is equivalent to the pass / fail boundary value having been calculated, and the search result which is the boundary value of a pass/fail is set to PV of a upper limit (step 612).

[0015] On the other hand than resolution RE, if  $|PV - FV|$  is size, as shown in drawing 7, it will test by newly setting mean-value a of an upper limit PV and the lower limit FV as a search register (steps 701-703), and will set to "P" and "F" the register RT which stores a test result according to a pass/fail (steps 705 and 706).

[0016] And when the absolute value  $(=|PV - a|)$  of the difference of PV and a is below the resolution RE and the register RT which stores a test result shows the pass ("P"), a search result is set to a (step 710), and, in the case of a fail, a search result is set to PV (step 711).

[0017] Rather than resolution RE, set value a by which it was set as the search register in the last test in the pass boundary at the adult time when a test result was a pass as the register of a pass value  $(PV = a)$ , and  $PV - a$  newly sets the mean value of a and FV to a (step 713), sets this a as a search register, and repeats a search (it shifts to step 702 of drawing 7). When a test result is a fail, a is set as the register FV of a fail value, this a is set as a search register, newly using the mean value of a and PV as a (step 712), and a search is repeated.

[0018] When calculating a detection value and this binary search function is determined like the

analog-to-digital converter (A-D converter) of a successive approximation method until it determines it from the bit of a high order and it resulted in the minimum resolution, i.e., the minimum bit, as it was previously described as the successive approximation method, it ends a search.

[0019] For this reason, when the number of times of a search expresses with digital one the value which should ask for search within the limits, it is considered as a part for the number of digits of the lower bit except the high order bit already regular in the search domain.

[0020] The parallel function to examine two or more examined ICs simultaneously by one set of IC circuit tester that IC circuit tester should, on the other hand, reduce test time compaction, i.e., a test cost, is provided, and it is \*\*\*\*\*.

[0021] When a parallel number is now assumed to be two pieces, as it is shown in drawing 8, when asking for High level width of face W1 and W2 by each output wave of two examined device DUT 1 and 2, as shown in a flow chart, first, by recognition of the control section in a test program or the system of IC circuit tester, the parallel measurement mode is canceled and the one piece measurement mode is specified to be drawing 9 (step 901). This one piece measurement mode (single mode) is mode which tests about DUT1 first and is tested about DUT2 to a degree after a test end.

[0022] Therefore, first, from DUT1, da1 and db1 are calculated by the binary search function, and it asks for High level width of face W1 by the operation ( $W1=R-da1+db1$ ) (steps 902-904). Next, from DUT2, da2 and db2 were similarly calculated by binary search, and it was asking for High level width of face W2 by the operation ( $W2=R-da2+db2$ ) (steps 905-907). And specification in the parallel measurement mode is performed after the one piece measurement mode (step 909).

[0023]

[Problem(s) to be Solved by the Invention] Thus, when the binary search function of the conventional IC circuit tester is used simultaneously with a parallel measurement function, the value of each DUT cannot be calculated individually, but to reset it as the single mode at the time of the test execution by binary search is needed at the time of parallel measurement, and it has the trouble where the number of times of a test and test time increase for this reason.

[0024] With reference to drawing 10, this ground is explained in detail.

[0025] When carrying out parallel measurement of the two examined devices by IC circuit tester and a binary search function is used, since a binary search function searches the value which should be calculated by the comparison with expected value, it serves as the timing of A2 and B1 all over the fraction whose judgment value of both DUT 1 and 2 corresponds, and drawing (refer to the search result of DUT 1&2 of drawing 10, and an equivalent wave).

[0026] About timing A2, this is the timing of the output wave standup of DUT2, and is made into the timing intermingled about two DUT in the condition of considering as the timing of falling of DUT1 about timing B1, and it is based on the ability not to ask for the timing of each standup/falling of DUT1 and DUT2.

[0027] The conventional IC circuit tester depends this on not having the binary search function of parallel measurement correspondence.

[0028] For 1 microsecond, 1000 and IC circuit tester run the number (test-vector length) of execution patterns a system, or a test rate here The operation time needed in order to perform the following binary search processing 10ms, When determining 8 bits of the low order of the value calculated by binary search,  $x(1\text{microsecond}/\text{pattern} \times 1000 \text{ pattern} + 10\text{ms})8 \times 2\text{DUT} = 176\text{ms}$  (ms) is required. For this reason, when it is assumed that the parallel test was made completely, it has the trouble of causing huge-ization of test time about 88ms.

[0029] this invention is made in view of the above-mentioned trouble, and aims at offering IC circuit tester which could be made to carry out binary search of the value of each DUT also in the time of simultaneous parallel measurement.

[0030]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention the binary search test which calculates a pass / fail boundary value from the examined semiconductor integrated circuit equipment of (a) plurality The process performed to a parallel until a pass / fail result is different among two or more above-mentioned examined semiconductor integrated circuit equipments or it reaches predetermined resolution, (b) The process which performs a binary search

test individually until it continues at the above-mentioned process (a) and it reaches predetermined resolution about each of the above-mentioned examined semiconductor integrated circuit equipment, when a pass / fail result is different at the above-mentioned process (a), \*\*\*\*\* -- the test method of the semiconductor integrated circuit equipment characterized by things is offered

[0031] Moreover, while it has a means to test repetitively the value which starts this invention from a predetermined search domain to examined semiconductor integrated circuit equipment, and demarcates the boundary of a pass/fail, and to calculate it based on the binary search method In the testing device of semiconductor integrated circuit equipment which comes to provide a means to test two or more examined semiconductor integrated circuit equipments in the parallel measurement mode Corresponding to the number of the above-mentioned examined semiconductor integrated circuit equipments of the parallel measuring object, it has the register which stores the value set up by the search at the time of a pass and a fail. Stand in a row to two or more above-mentioned examined semiconductor integrated circuit equipments, perform binary search, and it sets to this parallel-connected-type binary search. When the pass / fail result which is mutually different among two or more above-mentioned examined semiconductor integrated circuit equipments occur The testing device of the semiconductor integrated circuit equipment characterized by performing binary search sequentially to each examined semiconductor integrated circuit equipment, and calculating individually the pass / fail boundary value of each \*\*\*\*\* semiconductor integrated circuit equipment is offered.

[0032] The testing device of the semiconductor integrated circuit equipment concerning this invention The register which binary search takes for every DUT, i.e., the last test result, It has the register which stores the value set up by the search at the time of the last pass and a fail. When a parallel coincidence measurement is performed and a search result is not in agreement until the search result of each DUT is in agreement, for every DUT preferably Binary search is performed based on the search domain at the time of parallel test execution, and the binary search function constituted so that a pass / fail boundary value might be calculated is provided.

[0033]

[Embodiments of the Invention] The gestalt of operation of this invention is explained below with reference to a drawing. In addition, the basic configuration of IC circuit tester concerning this operation gestalt shall possess the function which shall show in drawing 4 and carries out parallel measurement of two or more examined devices (it is called "DUT") simultaneously.

[0034] The drawing 1 or the drawing 3 is a flow chart having shown the processing flow of the binary search function concerning the 1 operation gestalt of this invention. In addition, the fundamental binary search function is equivalent to the binary search function of the conventional IC circuit tester. That is, the value used when a test is performed and it next tests based on test results, such as it, from the control-section search domains aH and aL inside IC circuit tester is calculated, it is set as a search register, and the test is performed. It asks for these processings to the minimum bit, i.e., the predetermined resolution, of a register, and the outline of flowing of processing is the same as that of what was explained in the drawing 6 and the drawing 7 .

[0035] The point that the operation gestalt of this invention is different from the conventional example shown in the drawing 6 and the drawing 7 is a point equipped with the register for distinguishing to which DUT the control section inside IC circuit tester is processing for every processing by having the register which stores the value used for every DUT by the search at the time of the last test result, the last pass, and a fail at the time of parallel measurement.

[0036] If the technique of the binary search of IC circuit tester concerning this operation gestalt is explained, a control section will start simultaneous binary search to each of two or more DUT for a parallel test.

[0037] The search technique of the binary search to two or more DUT is the same as that of the conventional example of the drawing 6 and the drawing 7 respectively.

[0038] Till the place whose test result at the time of a search of each DUT corresponds about two or more DUT, seemingly, a control section considers that two or more DUT is one DUT, and performs a search (a processing flow follows the flow chart of the drawing 6 and the drawing 7 in this case).

[0039] When the test result at the time of a search is not mutually in agreement by two or more DUT

(setting in the search domain which stopped being in agreement), a test result is stored in the test-result register of each DUT, respectively, the value set up by the last pass and the search at the time of a fail is stored in a register, and it shunts.

[0040] henceforth, the informations that the control section has already been obtained by the binary search in the coincidence measurement of two or more DUT, such as a search domain, -- being based -- every DUT -- binary search -- being individual (successive) -- it performs

[0041] In re-start of binary search processing of each DUT, a search is performed only for an inharmonious fraction (low order side bit of the value to calculate) by search processing of each DUT in a coincidence measurement using the value set up at the time of the information which stored in the register and shunted, i.e., the last pass, and the search at the time of a fail, and a test result in that case.

[0042] With reference to the drawing 1 or the drawing 3, the processing flow of the binary search in the control section of this operation gestalt is explained.

[0043] When the number of DUT of a coincidence measurement is set to 2, since the sign which discriminates DUT1 and DUT2 is assigned (DUT1 is "1" and DUT2 is "2" for example) and a parallel simultaneous test is meant as an initial configuration, "3" (=DUT1+DUT2) is set to both DUT (step 100).

[0044] And a upper limit aH is set as a search register (step 101), and a test distinguishes individual measurement of one DUT, and the coincidence measurement of both DUT (steps 102-103), and performs both DUT test or an individual test (steps 104-106).

[0045] And as processing of a upper limit in case a test result is a pass, in both DUT test, it is set as the pass value store registers PV, PV1, and PV2 with aH (step 110), and, in the test of individual DUT, a upper limit aH is set as the corresponding pass value store register PV<sub>i</sub> (i= 1, 2) (steps 111 and 112).

[0046] Moreover, when a test result is a fail, in being both DUT test, it sets aH as the fail value store registers FV, FV1, and FV2 (step 123), and aH is set as the register for a fail value store FV<sub>i</sub> (i= 1, 2) which corresponds in the test of individual DUT (steps 124 and 125).

[0047] Next, test by setting a lower limit aL as a search register (step 113) (step 114), and when a test result is a pass, it corresponds to search improper processing. Process if these cannot search in parallel measurement of both DUT (step 120), and it ends. In measurement of each of DUT1 and DUT2, in the case of DUT1, search improper processing is performed, DUT is switched to DUT2 (step 122), it shifts to step 102, and DUT2 is tested. When a search failure is DUT2, error processing is performed (step 121) and it ends.

[0048] In case the test result of step 114 is a fail, in both DUT test, aL is set as the fail value store registers FV, FV1, and FV2 (step 128), and, in the test of individual DUT, aH is set as the corresponding register for a fail value store FV<sub>i</sub> (i= 1, 2) (steps 130 and 129).

[0049] And as shown in drawing 2, in individual DUT test, store shunting of the pass / the register for a fail value store which is an information on a search domain is carried out at the register for shunting, namely, the case of DUT1 -- pV1=PV1 and fV1= -- in FV1 (step 204) and DUT2, pV2=PV2, fV2=FV2, and a search information are shunted (step 203)

[0050] When resolution RE is more than |PV-FV|, as a pass / a fail boundary value, at the time of both DUT test, DUT1 and DUT2 set a search result to PV (step 210), it is referred to as PV (step 213), shifts to the test of DUT2 (step 214), and it is completed, using a search result as PV at the time of DUT1 in the case of DUT2 (step 211).

[0051] In the case of smallness, in the case of  $a = (PV + FV) / 2$  (step 216) and DUT1, resolution RE sets a mean value to  $a = (PV2 + FV2) / 2$  rather than |PV-FV| at the time of both DUT test in the case of  $a = (PV1 + FV1) / 2$  (step 215) and DUT2 (step 212).

[0052] And it tests by setting mean-value a as a search register (step 217) (step 218), and after setting a register RT to "F" when a test result is a fail as shown in drawing 3 (step 302), PV is set up and carried out according to both DUT test and each DUT (steps 305, 307, and 308).

[0053] Next, when |PV-a| is below the resolution RE and a test result is a pass, It is set as PV=a (step 315). in both DUT test, as a search result PV (step 321), In each test of DUT1 and DUT2, PV<sub>i</sub> (i= 1, 2) is made into a search result (steps 320 and 319), and, in the case of DUT1, it shifts to the test of

DUT2 (it shifts to terminal \*\* of drawing 1 ).

[0054] And while a result sets mean-value  $a$  as the pass value store register PV when it is both DUT test when it is a fail (a register RT is "F"), a test sets a mean value to  $(a+FV) / 2$  (step 325), and, in each test of DUT1 and DUT2, sets to  $a = [ PV_i = a \text{ and } ] (a+FV_i)/2$  ( $i = 1, 2$ ) (steps 328 and 327).

Moreover, while mean-value  $a$  is set [ in a pass ] as the fail value store register FV in both DUT test A mean value is set to  $(a+PV) / 2$  (step 318). Fail value store register  $FV_i = a$  of each [ case / of each test of DUT1 and DUT2 ], It tests by being referred to as  $a = (a+PV_i)/2$  ( $i = 1, 2$ ) (steps 317 and 322), and setting  $a$  as a search register (it shifts to step 217 of drawing 2 ).

[0055] With this operation gestalt, although it is the case where the number of DUT of a coincidence measurement is set to 2, the number of DUT of a coincidence measurement can correspond by making each number of registers correspond with a parallel number more than this.

[0056] Thus, the binary search function of IC circuit tester of this operation gestalt The register which binary search takes for every DUT, i.e., the last test result, By having constituted so that it has the register which stores the value set up by the search at the time of the last pass and a fail, simultaneous parallel measurement might be performed while the search result of each DUT is in agreement, and a search might be performed for every DUT from an inharmonic fraction In the test which uses a binary search function at the time of parallel measurement for example, on condition that the above-mentioned If an inharmonic fraction is an equivalent for a triplet, it is referred to as  $x$  (1microsecond/pattern x 1000 pattern + 10ms)  $(8-3) \times 2DUT = 121ms$  (ms), and can be shortened no less than 55ms as compared with 176ms of the execution times of the above-mentioned conventional example. In addition, the testing device and test method concerning this invention are applicable to an LSI circuit tester, memory circuit tester, linear circuit tester, and analog to digital mixture type circuit tester etc.

[0057]

[Effect of the Invention] As explained above, the binary search function of IC circuit tester of this invention Until it has the register which stores the value set up by the search at the time of the register which binary search takes for every DUT, i.e., the last test result, the last pass, and a fail and the search result of each DUT is in agreement In the test which uses a binary search function at the time of parallel measurement, drawing of the large compaction of test time can be carried out by IC circuit tester which has processing which performs a coincidence measurement and performs a search for every DUT from an inharmonic fraction.

---

[Translation done.]